

Title: Active dot matrix device and indicator

Application Number	02106677	Application Date	2002.02.27
Publication Number	1372242	Publication Date	2002.10.02
Priority Information	GB0104786.9;2001/2/27		
International Classification	G02F1/136;G09G3/36		
Applicant(s) Name	Sharp K.K.		
Address			
Inventor(s) Name	G.A. Kans,C.H.M.A. Dahes;M.J. Brownro		
Patent Agency Code	31100	Patent Agent	zhang zhengquan

Abstract

An active matrix device comprises an array of picture elements. Each picture element has an image element, such as an LCD cell (11) connected to a first storage capacitor 12 and arranged to be connected to a data line 4 by an thin film transistor 10 when activated by a scan signal on a scan line 6. A second storage capacitor 21 can be connected across the first capacitor 12 by means of another thin film transistor 20 when desired so as to increase the storage capacitance at the pixel.

[12] 发明专利申请公开说明书

[21] 申请号 02106677.9

[43] 公开日 2002 年 10 月 2 日

[11] 公开号 CN 1372242A

[22] 申请日 2002.2.27 [21] 申请号 02106677.9

[30] 优先权

[32] 2001.2.27 [33] GB [31] 0104786.9

[71] 申请人 夏普株式会社

地址 日本大阪府

[72] 发明人 C·A·凯恩斯

C·R·M·A·达赫斯

M·J·布朗恩罗

海瀨泰佳

[74] 专利代理机构 上海专利商标事务所

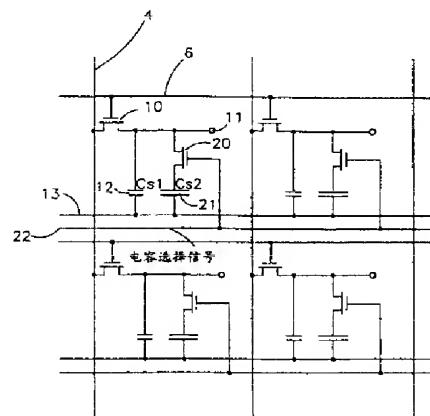
代理人 张政权

权利要求书 2 页 说明书 10 页 附图页数 20 页

[54] 发明名称 有源点阵装置和显示器

[57] 摘要

一种有源点阵装置包括一个图像元件阵列。每个图像元件包括一个成像元件，例如连接到第一存储电容器 12 的 LCD 元件(11)。当由扫描线 6 上的扫描信号激活时，通过一个薄膜晶体管 10 将该元件(11)安排连接到一条数据线 4 上。需要时，通过另一个薄膜晶体管 20 将第二存储电容器 21 并接到第一电容器 12 上，以增加像素的存储能力。



ISSN 1008-4274

权 利 要 求 书

1. 一种有源点阵装置，其特征在于，该装置包括一个图像元件阵列，每个图像元件包括一个成像元件，一个连接于该成像元件的第一电荷存储元件，和一个将数据线连接到第一电荷存储元件和该成像元件的第一半导体开关，其特征在于，每个图像元件包括一个第二电荷存储元件和一个第二半导体开关，该开关的切换与第一开关无关，并将第二电荷存储元件连接到第一电荷存储元件和成像元件，以致增加电荷存储能力。
2. 如权利要求 1 的装置，其特征在于，每个成像元件是一个光调节元件。
3. 如权利要求 2 的装置，其特征在于，每个图像元件是透射型的。
4. 如权利要求 2 的装置，其特征在于，每个图像元件是反射型的。
5. 如权利要求 2 的装置，其特征在于，每个图像元件是液晶元件。
6. 如权利要求 1 的装置，其特征在于，每个图像元件是光发射元件。
7. 如权利要求 1 的装置，其特征在于，第一和第二开关中的每一个都是薄膜晶体管。
8. 如权利要求 1 的装置，其特征在于，第二电荷存储元件的电荷存储能力大于第一电荷存储元件。
9. 如权利要求 1 的装置，其特征在于，对于每个象素，第二电荷存储元件和第二开关可以串行后并接在第一电荷存储元件的两端。
10. 如权利要求 1 的装置，其特征在于，图像元件可排列成行和列，其中每列的图像元件连接至一条各自的数据线，而每行的图像元件连接至一条各自的扫描线。
11. 如权利要求 10 的装置，其特征在于，每行图像元件的第二开关有连接于一条各自控制线的控制端。
12. 如权利要求 11 的装置，其特征在于，所述的控制线可以连接在一起。
13. 如权利要求 1 的装置，其特征在于，对于每个图像元件，第二开关有一个连接于第一和第二电荷存储元件第一连接端的控制端。
14. 如权利要求 10 的装置，其特征在于，每行图像元件的第一和第二电荷存储元件有连接于一条各自公共线的第一连接端。
15. 如权利要求 10 的装置，其特征在于，邻近的每对图像元件行的第一和第二电荷存储元件有连接于一条各自公共线的第一连接端。

16. 如权利要求 10 的装置，其特征在于，每行图像元件的第一和第二电荷存储元件可以有连接于邻近行扫描线的第一连接端。

17. 如权利要求 1 的装置，其特征在于，每个图像元件的第一和第二电荷存储元件可分别包括第一和第二电容器。

18. 如权利要求 17 的装置，其特征在于，每个图像元件的第一和第二电容器可有一个公共极板。

19. 如权利要求 18 的装置，其特征在于，该公共极板包括一部分栅极金属互连层(GL)。

20. 如权利要求 19 的装置，其特征在于，每个图像元件的第一电容器有另外一块极板，该极板包括一部分源极金属互连层(SL)。

21. 如权利要求 19 的装置，其特征在于，每个图像元件的第二电容器可以有另外一块极板，该极板包括部分重掺杂硅层。

22. 如权利要求 17 的装置，其特征在于，每个图像元件的第二电容器有包含栅极氧化物的电介质。

23. 如权利要求 22 的装置，其特征在于，每个图像元件的第二电容器可以包括一个金属氧化硅电容器。

24. 如权利要求 23 的装置，其特征在于，该金属氧化硅电容器构成第二开关，并有连接于第一开关和成像元件的源极和漏极连接端。

25. 如权利要求 23 的装置，其特征在于，每个图像元件的第一电容器包括金属氧化硅电容器的栅/源极叠加电容和栅/漏极叠加电容。

26. 如权利要求 25 的装置，其特征在于，该金属氧化硅电容器(35)有一个在栅电极下面的轻掺杂漏极。

27. 一种显示器，其特征在于，该显示器包括如权利要求 1 的装置。

说 明 书

有源点阵装置和显示器

发明背景

发明领域

本发明涉及一种例如用作显示器的有源点阵装置。该装置可包括一个动态液晶点阵显示器，该液晶显示器由薄膜晶体管(TFT)技术实现，例如，基于非晶硅，或高温或低温聚合硅的技术。这种显示器可适用于电池供电的便携式设备。

相关技术描述

附图 1 描述一种传统型的有源点阵装置。该有源点阵装置包括一个 N 行和 M 列图像元素(象素)如 2 的有源点阵 1。每列象素经各自的数据线(如 4 所示)连接到数据线驱动器 3。数据线驱动器 3 有一个输入端 5，用于接收定时信号，控制信号和数据信号。

每行象素经各自的扫描线，例如 6，连接到扫描线驱动器 7。扫描线驱动器 7 由输入端 5 来的定时信号同步，并按一个重复时序每次激活一条扫描线 6。

附图 2 描述四个已知类型的有源点阵象素。每个象素包括一个 TFT(薄膜晶体管)10。其栅极连接至扫描线 6，而其源极连接至数据线 4。该 TFT10 的漏极连接至一个象素电极 11 和存储电容器 12 的第一连接端。该电容器的第二连接端连接到公共电极线 13，同一行象素的所有存储电容器 12 共享该公共电极线 13。所有行的公共电极线 13 连接至共用直流电压源。

在使用中，象素的 TFT10 作用像开关，由扫描线 6 上的信号控制其开关切换。然后，有源点阵的每个象素 2 按称作为帧频的某一频率更新。一帧图像数据的更新通常是逐行进行的。对于每一行象素，数据线驱动器 3 接收要显示的一行图像数据，并将 M 数据线 4 充电至相应的模拟电压。扫描线驱动器 7 激活一条扫描线 6，以致接通所有连接在该激活扫描线上的晶体管 TFT 10。TFT 10 将电荷从数据线 4 迁移至存储电容器 12，直到每个电容器上的电压等于数据线上的电压。然后，扫描线驱动器 7 释放该行的 TFT 10。它们的源-漏极通路恢复到高阻状态。

有源点阵寻址可进一步分成两种类型，也就是面采样-保持(panel-sample-and-hold) 寻址(也称为每次点(point-at-a-time) 寻址)和每次线

(line-at-a-time) 寻址。在前一种方案中，每激活一条扫描线时，数据线通常是与数据线驱动器 3 的数据线充电电路隔离的。在后一种方案中，在扫描线激活期间，继续驱动数据线。

当每个 TFT10 断开时，TFT 管的非无穷大阻抗将导致那列中每个存储电容器 12 和数据线 4 之间的充电电流或漏电流。这将导致像素电极 11 上电压产生不希望的变化，随之损害了图像质量。电压的变化幅度取决于漏电流的大小，存储电容器 12 的电容和像素更新的持续时间，即帧频。

通过修改装置的设计能够减少 TFT 管的漏电流，这要求改变制造工艺。例如，可以引入轻掺杂的漏极 (LDD)，该漏极除了减小高漏电场 (high drain fields) 外，还增加沟道的电阻。可以将每个 TFT 开关实现为一个双栅极或三栅极装置，有效地在数据线和像素电极间串接入两个或三个开关。这将增加沟道电阻，并降低 TFT 管“导通”(on) 性能。

美国专利申请 5517150 公布一种如图 3 中所示的配置。该像素配置不同于附图 2 所示，另外还提供了一个 TFT15，其源-漏极通路连接在 TFT10 管的漏极和像素电极 11 之间。并且，另一个电容 16 连接在公共线 13 与 TFT10 和 15 的连接点之间。

当激活某一特殊像素的扫描线 6 时。两个晶体管 10 和 15 都导通，因此，从数据线 4 对两个电容器 12 和 16 进行充电。当扫描线释放 (deactivate) 时，两个晶体管都被断开。如上所述，通过晶体管 10 的电荷泄漏将导致电容器 16 上的电压变化。然而，晶体管 15 上的电压下降很小，因此漏电流也很小。所以电容器 12 上的电压变化很小，因此像素电极 11 的电压变化也很小。

通过增加存储电容器 12 的电容可减少由电荷泄漏引起的像素电压变化。然而，存储电容器的电容不能任意变大。例如，如果显示器是传递型 (transmissive type)，一个大容量的存储电容器可能减小像素的孔径比，并因此减小显示亮度。用一个相对较小的 TFT 晶体管也不可能在扫描线的有效激活期内，将一个相对较大的存储电容器完全充电。对于面采样和保持 (panel-sample-and-hold) 显示器，带有电容 C1 的数据线上的电荷与存储电容器共享，其电容为 Cs。结果，写入像素的电压与数据线 4 上的采样电压 (V1) 不相同。该电压差 ΔV 随存储电容器的电容变大而增加，如果假定存储电容器最初没有充电，电压差 ΔV 用下式表示：

$$\Delta V = \frac{C_S}{C_S + C_I} V_I$$

虽然可能增加帧频，以最小化像素电压保持恒定的持续时间，这不是一种实用的选择。例如，这不可能在减小的寻址周期内对数据线或存储电容器进行充电，或可能增加功耗至超过可以接受的程度。对于低功耗应用情况，希望为了减小功耗，以相对较低的帧频更新有源点阵。

美国专利申请 6023074 公布一种相似于美国专利申请 5517150 中公布的一个像素 TFT 的配置。然而，该存储电容器是金属氧化物半导体(MOS)电容器。如附图 4 所示，由一个晶体管 18 构成一个 MOS 电容器，该晶体管的栅极 g 构成电容器的一个连接端，而它的源极和漏极连接在一起构成另一个连接端。通过重掺杂半导体而不是通过对隔离内部互连层的“电驻”型接触连接实现源极和漏极间的连接。该装置的有效电容是依赖电压，如图 4 中的曲线所示。低于 MOS 装置的阈值电压 V_t 时，其电容等于栅-源极与栅-漏极的叠加电容总和。高于阈值电压 V_t 时，该电容变成除了叠加电容外，还包括 MOS 氧化物电容。

美国专利申请 5835170 公布一种如附图 5 所示的配置，其中省略了公共电极线 13，并且将电容器 12 的第二连接端连接至邻近一行像素的扫描线 6。这种栅极上电容器(capacitor-on-gate)配置的优点是，横越有源点阵 1 的水平信号总数比图 2 所示的配置小一半。因此可达到更高的像素孔径比。然而，有源点阵 1 的扫描方向是固定的。特别是，必须从图 5 中的底部行起向上扫描有源点阵行。

发明概述

按照本发明，提供一种有源点阵装置，该装置包括一列图像元件，每个图像元件包括一个成像元件，一个连接于该成像元件的第一电荷存储元件，和一个将数据线连接到第一电荷存储元件和该成像元件的第一半导体开关。其特征在于，每个图像元件包括一个第二电荷存储元件和一个第二半导体开关。该开关的切换与第一开关无关，并将第二电荷存储元件连接到第一电荷存储元件和成像元件，以致增加电荷存储能力。

每个成像元件可以是一个光调节元件并且可以传递或反射。例如，每个成

像元件可以是液晶元件。

每个图像元件可以是一个光发射元件。

第一和第二开关中的每一个可以是薄膜晶体管。

第二电荷存储元件的电荷存储能力可以大于第一电荷存储元件。

对于每个图像元件，第二电荷存储元件和第二开关可以串联后并接在第一个电荷存储元件的两端。

图像元件可排列成行和列，其中每列的图像元件连接至一条各自的数据线，而每行的图像元件连接至一条各自的扫描线。

每行图像元件的第二开关可以有连接于一条各自控制线的控制端。这些控制线可以连接在一起。

对于每个图像元件，第二开关可以有一个连接于第一和第二电荷存储元件第一连接端的控制端。

每行图像元件的第一和第二电荷存储元件可以有连接于一条各自公共线的第一连接端。

邻近的每对图像元件行的第一和第二电荷存储元件可以有连接于一条各自公共线的第一连接端。

每行图像元件的第一和第二电荷存储元件可以有连接于邻近行扫描线的第一连接端。

每个图像元件的第一和第二电荷存储元件可分别包括第一和第二电容器。每个图像元件的第一和第二电容器可有一个公共极板。该公共极板可包括一部分栅极金属互连层。每个图像元件的第一电容器可以有另外一块极板，该极板包括一部分源极金属互连层。每个图像元件的第二电容器可以有另外一块极板，该极板包括一部分重掺杂硅层。

每个图像元件的第二电容器可以有包含栅极氧化物的电介质。每个图像元件的第二电容器可以包括一个金属氧化硅电容器。该金属氧化硅电容器可构成第二开关，并可有连接于第一开关和图像元件的源极和漏极连接端。每个图像元件的第一电容器包括金属氧化硅电容器的栅/源极叠加电容和栅/漏极叠加电容。金属氧化硅电容器可以有一个在栅电极下面的轻掺杂漏极。

按照本发明的另外一个方面，提供一种显示器。该显示器包括按照本发明的第一个方面的装置。

这样就可能提供一种可改变每个象素的存储能力的装置，以致允许有源点

阵按不同方式工作，例如只要优化图像质量和功耗性能。例如，这种装置可以以低存储能力工作，允许快速和更精确地更新，以致能工作于相对高的帧频，并具有高质量的图像。对于低功耗，可选择低帧频方式，该方式的象素具有较高的存储能力，以致减少或防止在象素更新之间的间隔期间由电荷泄漏引起的图像劣化。

附图简述

以下参照附图和实例进一步描述本发明，其中：

图 1 示意性表示一种已知的有源点阵显示器；

图 2 是一个电路图，示出一种已知显示器类型的有源点阵象素；

图 3 是一个电路图，示出另一种已知显示器类型的有源点阵象素；

图 4 表示一种 MOS 电容器，以及这种装置中相对于栅/源极电压的电容；

图 5 是一个电路图，进一步示出一种已知类型装置的象素；

图 6 是一个电路图，示出构成本发明第一实施例的装置的象素；

图 7 是一个波形图，表示如图 6 中所示的象素以两种工作方式时的模拟工作；

图 8 是一个波形图，表示图 6 所示的象素在面采样和保持装置中模拟工作的结果；

图 9 是一个电路图，示出构成本发明第二实施例的装置的四个象素；

图 10 是一个电路图，示出构成本发明第三实施例的装置的四个象素；

图 11 是一个电路图，示出构成本发明第四实施例的装置的四个象素；

图 12 是一个电路图，示出构成本发明第五实施例的装置的四个象素；

图 13 是一个电路图，示出构成本发明第六实施例的装置的四个象素；

图 14 表示一个图 13 所示装置的一个象素的掩模版图设计例子；

图 15 是一个电路图，示出构成本发明第七实施例的装置的四个象素；

图 16 表示一个图 15 所示类型的一个象素的掩模版图设计例子；

图 17 示意性表示 MOS 电容器的工作；

图 18 是一个电路图，示出构成本发明第八实施例的装置的四个象素；

图 19 表示图 18 所示一个象素的掩模版图设计例子；及

图 20 是一个电路图，示出构成本发明第八实施例的装置的四个象素。

全部图中，相同的参照号涉及相同的部件。

较佳实施例描述

图 6 示出一种有源点阵装置的四个象素，例如按液晶显示板的格式。每个象素包括一个 TFT10，一个存储电容器 12，和一个如上文中描述的象素电极 11，例如根据图 2 所示。另外，每个象素包括另外一个 TFT20，它的漏极（或源极）连接到象素电极 11，而它的源极（或漏极）连接到另一个存储电容器 21 的第一极，该电容器的另一极连接到公共电极线 13。TFT20 的栅极连接到一条电容器选择线，该选择线通常接至该行象素。电容器 21 的电容 C_{s2} 不需与电容器 12 的电容 C_{s1} 相同，而且实际上，例如可以更高，例如为 5 倍的电容值。

每个象素有与它相关的一条垂直信号线和三条水平信号线。垂直线由源极金属互连层构成，而水平线用栅极金属互连层构成。

有源点阵装置可以以两种方式中任一种方式工作。在第一种方式，电容器选择线连接至一个相对较低的电压。在这种方式中，所有象素的 TFT20 都断开，因此电容器 21 有效地断开与象素电极 11 的连接。这是一种电容相对较小的方式，在该方式中，每个象素的存储电容实际上等于存储电容器 12 的电容值 C_{s1} 。在另一种大电容的方式，线 22 连接至一个相对较高的电压，因此所有象素上的晶体管 20 都导通，而电容器 21 并行地连接于每个象素的电容器 12。在这种方式，存储电容等于电容器 12 和 21 的电容值 C_{s1} 和 C_{s2} 的总和。

图 7 是一张波形图，示出对应于时间（以微秒为单位）的电压（以伏为单位）波形，表示图 6 的装置以两种小电容和大电容方式工作时的模拟结果。该模拟表示一个液晶象素单元接收某一帧中的 -3.5V 电压和下一帧中的 +3.5V 电压的情况。象素电压与一个 6 伏的计数器电极电位有关，所以供给象素电极 11 的电压为第一帧的 2.5 伏和第二帧的 9.5 伏。调节扫描线的激励频率和泄漏，以使在一个合理的模拟时间内观测到相对的影响。电容器 12 的电容值 C_{s1} 为 100fF，为小型直视有源点阵液晶显示器的典型值。电容器 21 的电容值 C_{s2} 为 500fF。

在小电容工作方式，象素充电非常快。然而，当扫描线变低时，存在从 TFT10 的叠加电容注入的相当多的电荷。从存储电容器 12 的泄漏也非常大。因为在大电容工作方式，象素电极电压要升高至数据线电压，象素的充电时间需更长。当晶体管 10 断开时，电荷注入较少，而泄漏实际上较少。

模拟结果没有说明在面采样和保持型显示器中，由于共享充电对数据线电压所产生的劣化现象。对于小型直视有源点阵液晶显示器，数据线电容通常为 10pF。对于相等的存储电容，在小电容方式，象素上发生的电压变化约为所需

数据线电压的 1%。在大电容方式，电压变化接近 6%。这种影响在图 8 中描述。恰好在第二个扫描期之前，数据线最初在 9.5 伏。当扫描线激活时，数据线与电容器 12 和 21 共享充电。该纯影响是象素电极 11 达到 9.1 伏，而不是所需的 9.5 伏。

在每个象素中实施的 500fF 额外电容器 21 和额外 TFT20，实际上减少了小型传递液晶显示器中的象素孔径比，尤其是，如果用栅极和源极金属互连层构成平板存储电容器。然而，象素孔径比实际上不影响反射或传递反射型显示器。在显示器中，额外元件 20 和 21 可安排在反射电极下面。

要求仔细地考虑大电容方式工作中增加的象素充电时间，特别是在 TFT10 和 20 为非晶体硅时。这种装置的迁移率非常低，例如 $1\text{cm}^2/\text{Vs}$ ，限止了数据线 4 到存储电容器 12 和 21 的充电速率。因此，为了使象素完全充电，必须或希望放慢有源点阵寻址。换句话说，可能连续几帧将相同的图像数据写入有源点阵，以致保证象素的良好充电。通过修改数据线驱动器 3 和扫描线驱动器 7 中的定时时序可实现这种技术。在用高性能聚合硅 TFT10 和 20 晶体管制作的显示器中，具有超过 $50\text{cm}^2/\text{Vs}$ 的迁移率，不必需要用大电容方式来延长象素的充电周期。

在大电容方式的每次点 (point-at-a-time) 显示寻址中减少的精度可在数据线驱动器或在连接于显示器的液晶驱动控制器 (未示出) 中进行补偿。这种补偿是一种规范措施，因为通常需要对液晶象素的非线性电压/传递响应进行补偿；即通常称为“伽马校正 (gamma correction)”。在大电容和小电容方式的驱动电路间实施两种补偿方案需要一笔额外开销 (overhead)。很可能是显示器工作于减少帧频的大电容方式，主要是为了减少功耗。在这种场合时，达到高灰度 (high grey-scale) 精度是不重要的。例如，显示器可以以低帧频 1 比特颜色方式工作。任何在这种 1 比特颜色方式中共享充电引起的误差，实际上未必存在图像质量问题。

图 9 描述的实施例不同于图 6 中描述的实施例在于 TFT20 和电容器 21 的位置已经互换了。然而这种互换不影响工作。

图 10 描述的实施例不同于图 6 中描述的实施例在于图 5 描述的栅极上电容器类型的技术用于减少若干横过每行有源点阵的水平信号之一。这样，电容器 12 和 21 的下面极板连接到邻近象素行的扫描线 6 上，因此不需要公共线 13。扫描线用于将一个直流电压供给电容器 12 和 21 的下边连接端，并且扫描线大

部分时间为零伏。然而，扫描线 6 依次接通一个高直流电压，以激活该行象素中的 TFT10。为了避免损坏储存于电容器 12 和 21 中的电压，应当在电容器充电之前，进行这种开关操作。这样，图 10 描述的有源点阵应当从低层行向上扫描。

图 11 描述的装置不同于在图 6 中描述的装置在于由连接于电容器 12 和 21 另一极板和 TFT20 晶体管的栅极的一条线 24 代替公共电极线 13 和电容器选择线 22。因为一旦选择了工作方式，电容器选择信号基本上是一个直流信号，就能允许这种代替。在小电容方式，线 24 连接到地，因此 TFT20 切断，并由电容器 12 提供有效存储电容。在大电容方式，线 24 连接到正电源电压 Vdd，因此 TFT20 晶体管导通，将电容器 21 并接在电容器 12 上。这种技术也可应用在下文中描述的实施例中。

图 12 描述的装置不同于在图 11 中描述的装置在于，每个电容器的选择和公共电极线 24 由邻近一对象素行共享。这样平均只有 1.5 个通过每行象素运行的水平信号。这种技术也可应用在下文描述的实施例中。

图 13 描述的装置类似于图 6 描述的装置在于，每行象素有一条公共线 13 和一条电容器选择线 22。然而，电容器 12 和 21 共享一块公共极板，该极板形成完整结构的栅极金属互连层的一部分，在该金属互连层中构成 TFT10 和 20。电容器 12 的另一块极板包括一部分源极金属互连层，而电容器 21 的另一块极板构成一部分重掺杂非晶体或聚合硅层，例如 N 型材料。在典型的 TFT 结构中，电容器 21 的电介质是栅极氧化物，因此，对于电容器 21 的每单位基底层面积的电容，实际上大于电容器 12 的电容。这允许电容器 21 的电容 Cs2 达到较大值。

图 14 示出在图 13 中所示的类型的装置的掩膜设计，用聚合硅双栅极 TFT 结构组成一种反射液晶显示器。在源极金属互连层 (SL) 上实现数据线 4。该数据线 4 通过通孔 30 与 TFT10 的源极相连接，在象素的右手边垂直地通过。该 TFT10 为双栅极结构。扫描线 6 横越过 TFT10 两次。该扫描线 6 在栅极金属互连层 GL 上构成，因此，两个串行连接的 TFT 通道互相形成为直角。这种排列使该装置更结实，以避免掩膜校正误差。

在 TFT10 的漏极，一个通孔 31 将该连接端连接到一个大型 SL 电极，该 SL 电极形成电容器 12 的一块极板，电容器的另一极板由部分 GL 电极线形成。电极 SL 也与反射电极 (RE) 32 接触。TFT10 的漏极也连接到构成晶体管 20 的聚合硅轨道 (track)，由电容器选择线 22 交叉地穿过形成该晶体管 20。然后，

聚合硅轨道连接到重掺杂聚合硅电极，该电极连同 GL 公共电极线 13 形成电容器 21。

栅极层下的非晶硅或聚合硅层的重掺杂通常不能用传统 TFT 工艺流程来达到，并且似乎需要另一个掩膜来确定重掺杂区域。

图 15 描述的装置具有与图 13 描述相类似的类型，但是用图 11 所示的单个电容器选择和公共电极线 24，并配备有 MOS 电容器型的电容器 12 和 21。当该线 24 连接至低电压时，例如接至地，TFT20 晶体管切断，而电容器 12 是由 SL 和 GL 层间一个平板电容器构成。当该线 24 上的选择信号为高电平时，例如为 Vdd 时，TFT20 接通，而电容值为 C_{s2} 的 MOS 电容器并行于电容器 12。由栅极电极下的非晶硅或聚合硅层构成 MOS 电容器 35。由分布在 GL 层上的电容器选择信号线形成栅极电极，并因此处于高电位。该电位大于 MOS 结构 35 的阈值电压 V_t 。那时，总电容等于氧化物电容和上文中参考图 4 所述的叠加电容的总和。

图 16 描述在图 15 装置中的掩膜设计，该设计按反射聚合硅双栅极 TFT 结构实施。只有两个水平信号通过象素。MOS 电容器的聚合硅层延伸到电容器的栅极金属层外面。在普通的自对准 TFT 制作流程中，该区域被重掺杂。如同 33 所指，为了形成必需的源-漏极连接，该区域连续围绕 MOS 电容器的三边。

MOS 结构的电容依施加到公共电极上的电压而变化。图 17 描述两种情况下，MOS 电容器 35 的端电压。在图 17 的上部框图中，公共电极为 15 伏，为有源点阵装置典型的电源电压。在典型装置中，象素电极 11 可以为 1.5 伏到 10.5 伏之间的任意值。为了使电容器处于大电容状态，MOS 的阈值电压必须小于 4.5 伏，该值一般适合于非晶硅或聚合硅象素 TFT 的情况。

在图 17 底部框图描述的配置中，公共电极为零伏。为了使电容器处于小电容状态，MOS 阈值电压必须大于 -1.5 伏，该值一般适合于非晶硅或聚合硅象素 TFT 的情况。这样，通过切换公共电极本身的电压，就可能在两个 MOS 电容器状态间，改变选择两种不同的存储电容。

图 18 所示的装置利用这种能力，并且不同于在图 15 中所示，在于，因为 MOS 结构 35 执行电容的切换，省略了 TFT20。该装置的一个象素的掩膜设计在图 19 中描述。

图 20 描述的装置不同于在图 18 中描述的装置在于，省略了由互连层形成的平板电容器。因此不需要在互连层 SL 上形成一个电极，并且这将构成一个

非常简单的像素电路。由叠加电容提供固定连接的存储电容器，而自动开关电容器是由氧化物电容产生，并且仅在该线 24 切换到高电压时，如 Vdd 时，该自动开关电容器经切换连接到电路。可用已知的 TFT 沟道工程技术选择该固定连接的存储电容器的电容值 C_{s1} ，例如通过在栅极电极下并入一个轻掺杂漏极 (LDD) 的技术。

说 明 书 附 图

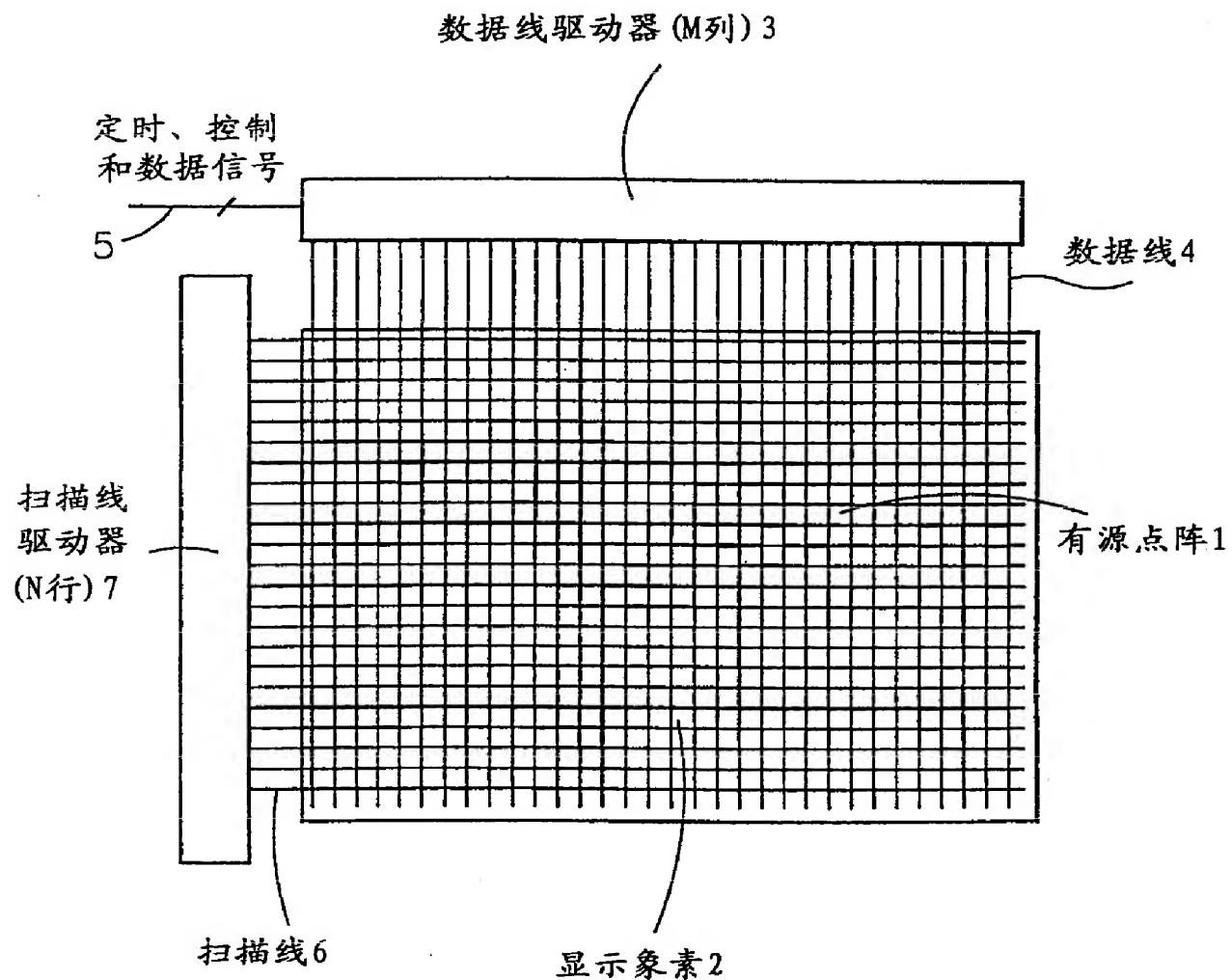


图 1

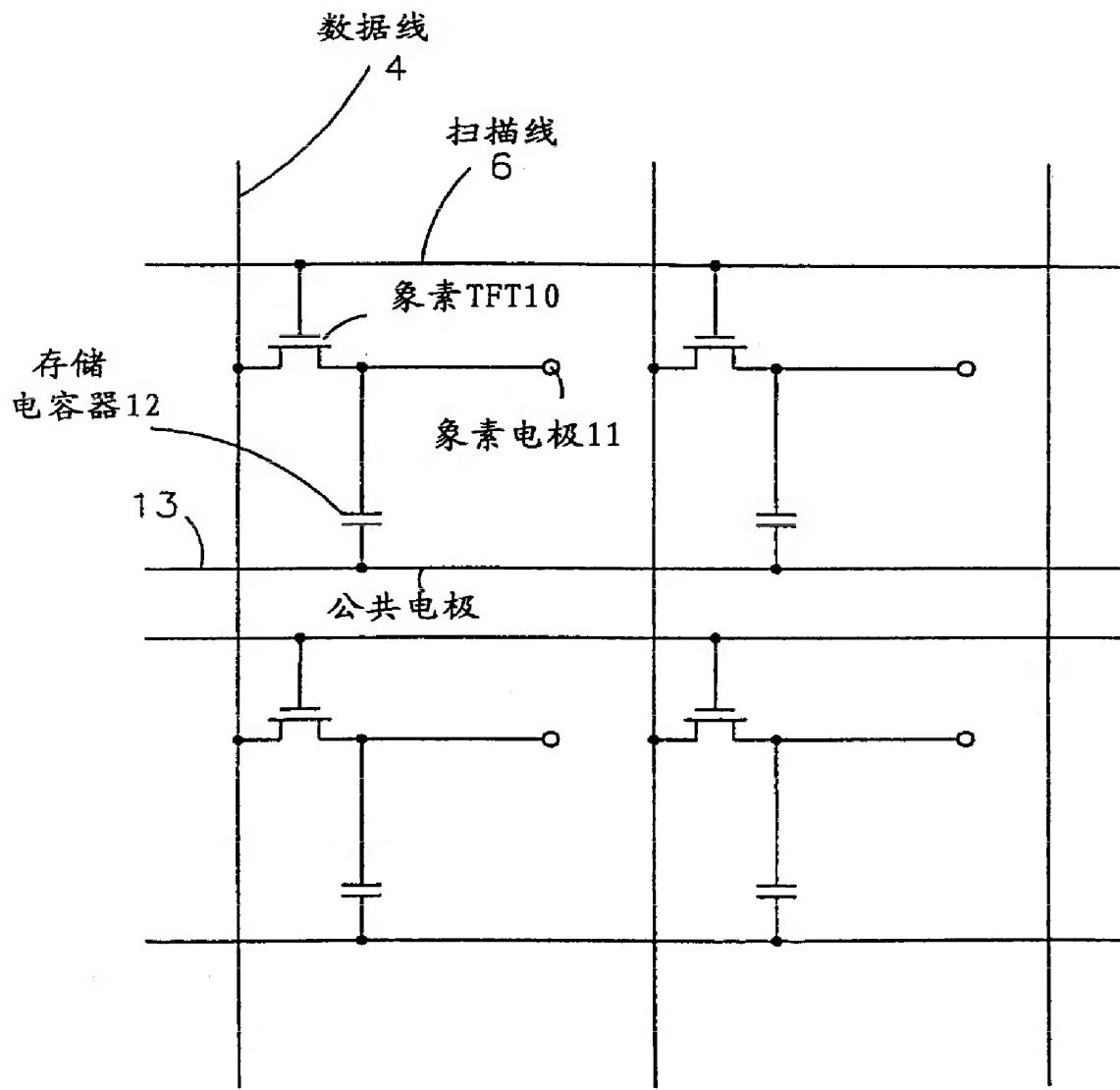


图 2

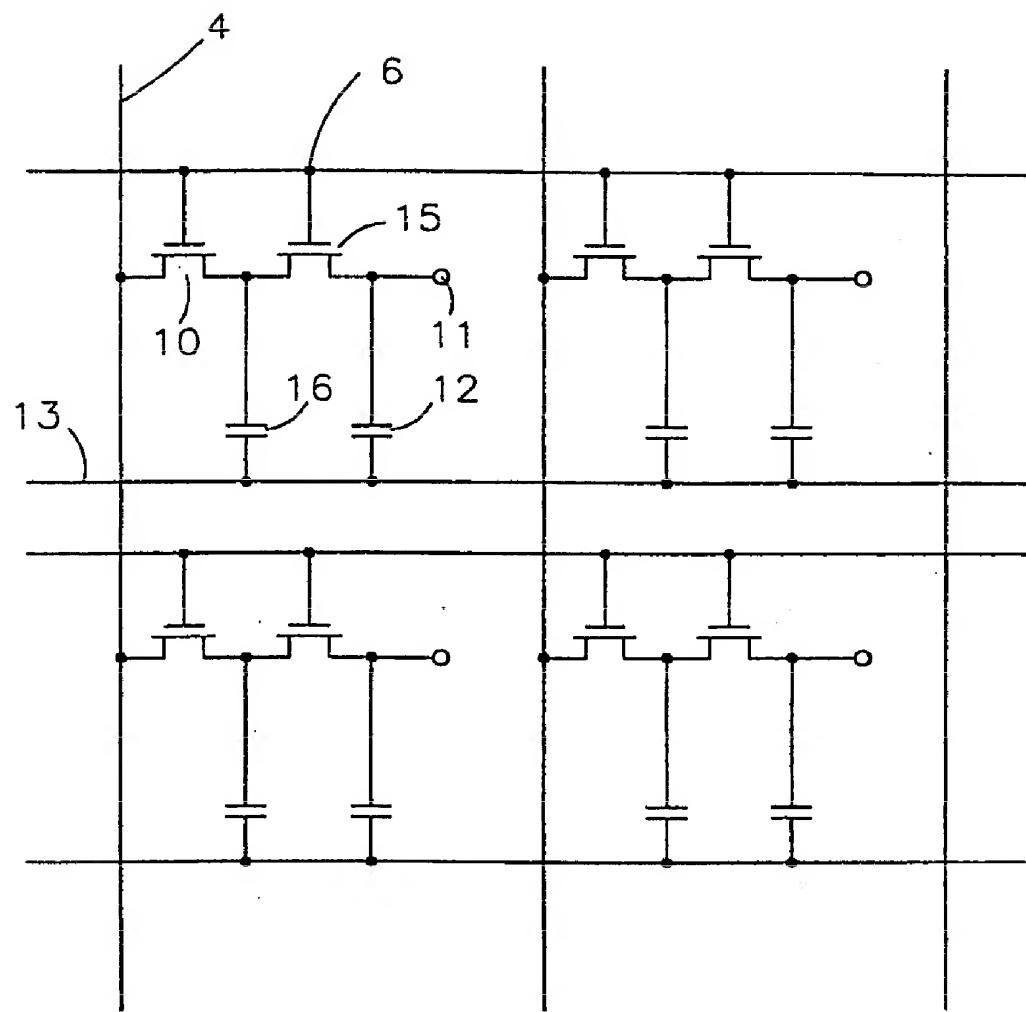
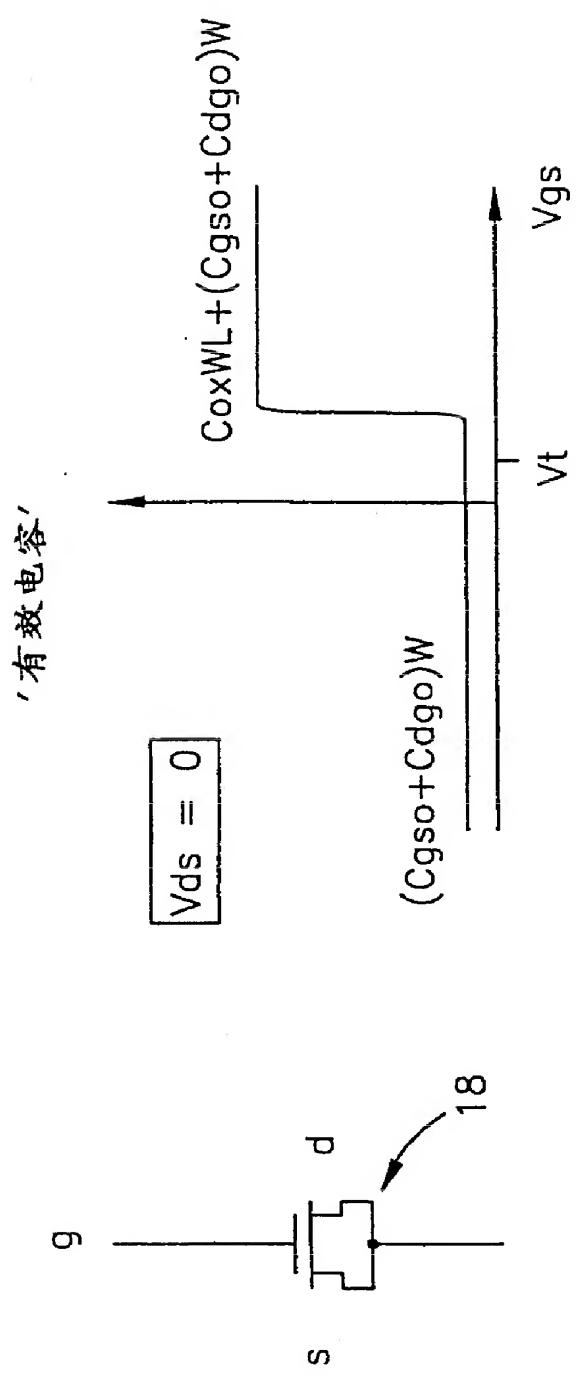


图 3

图

4



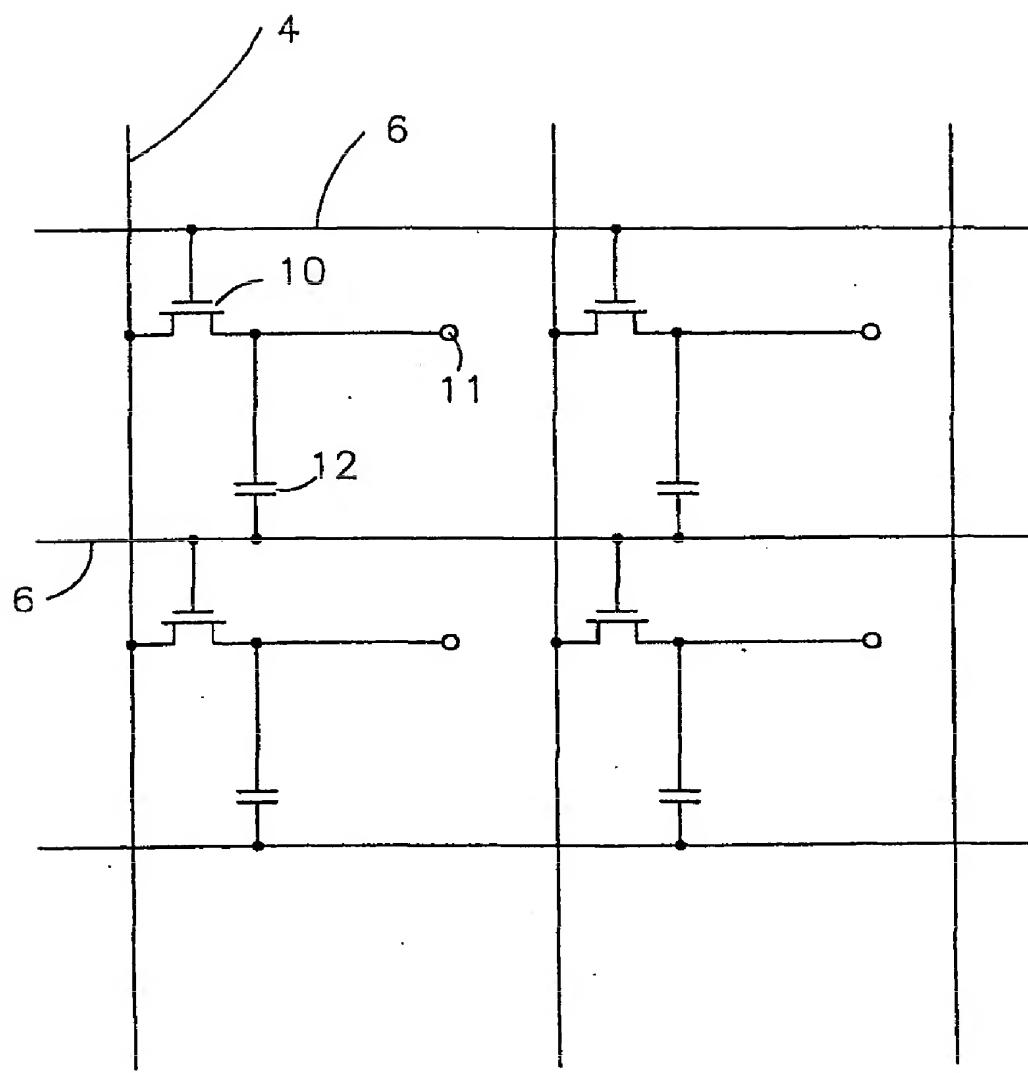


图 5

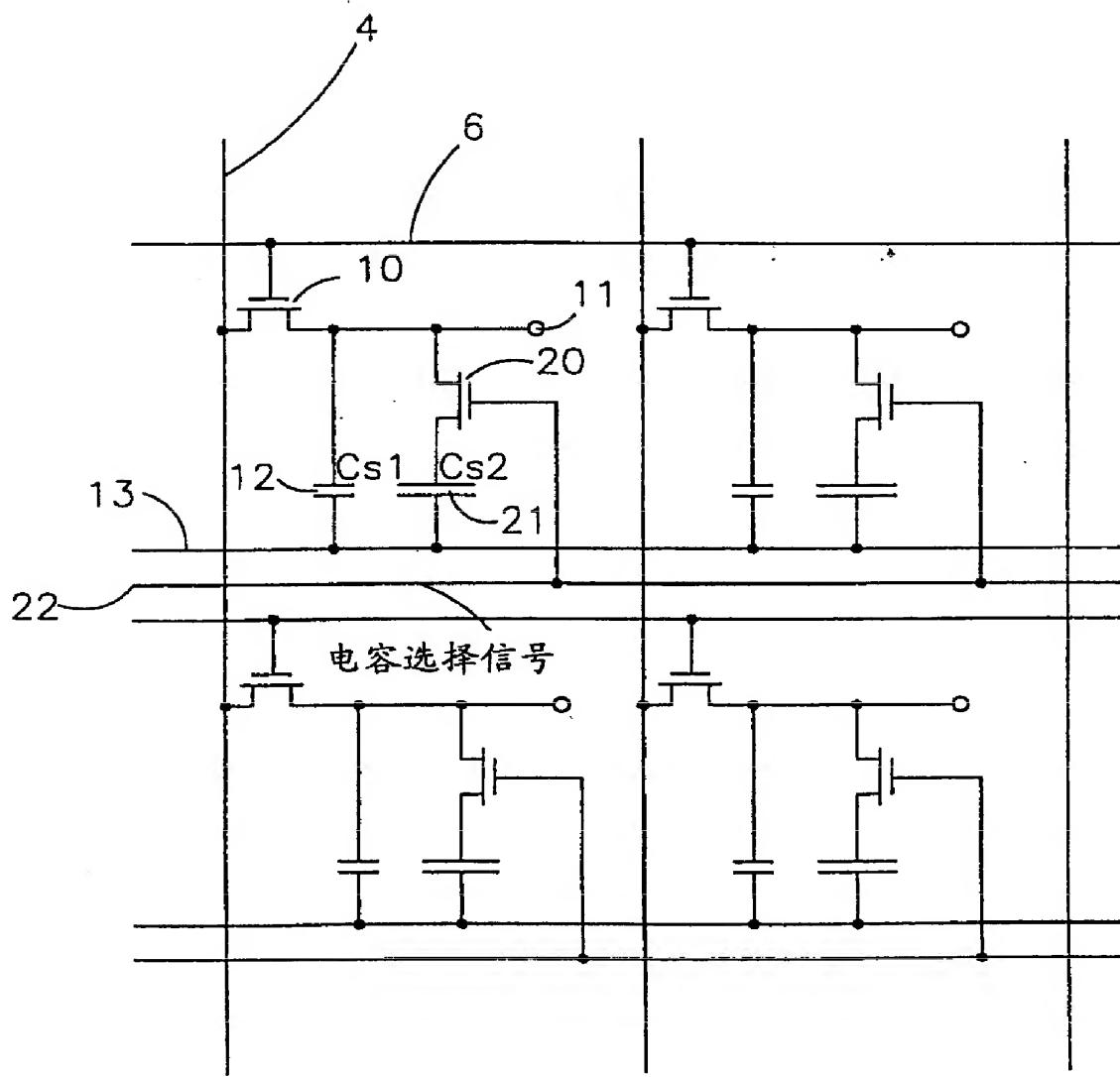
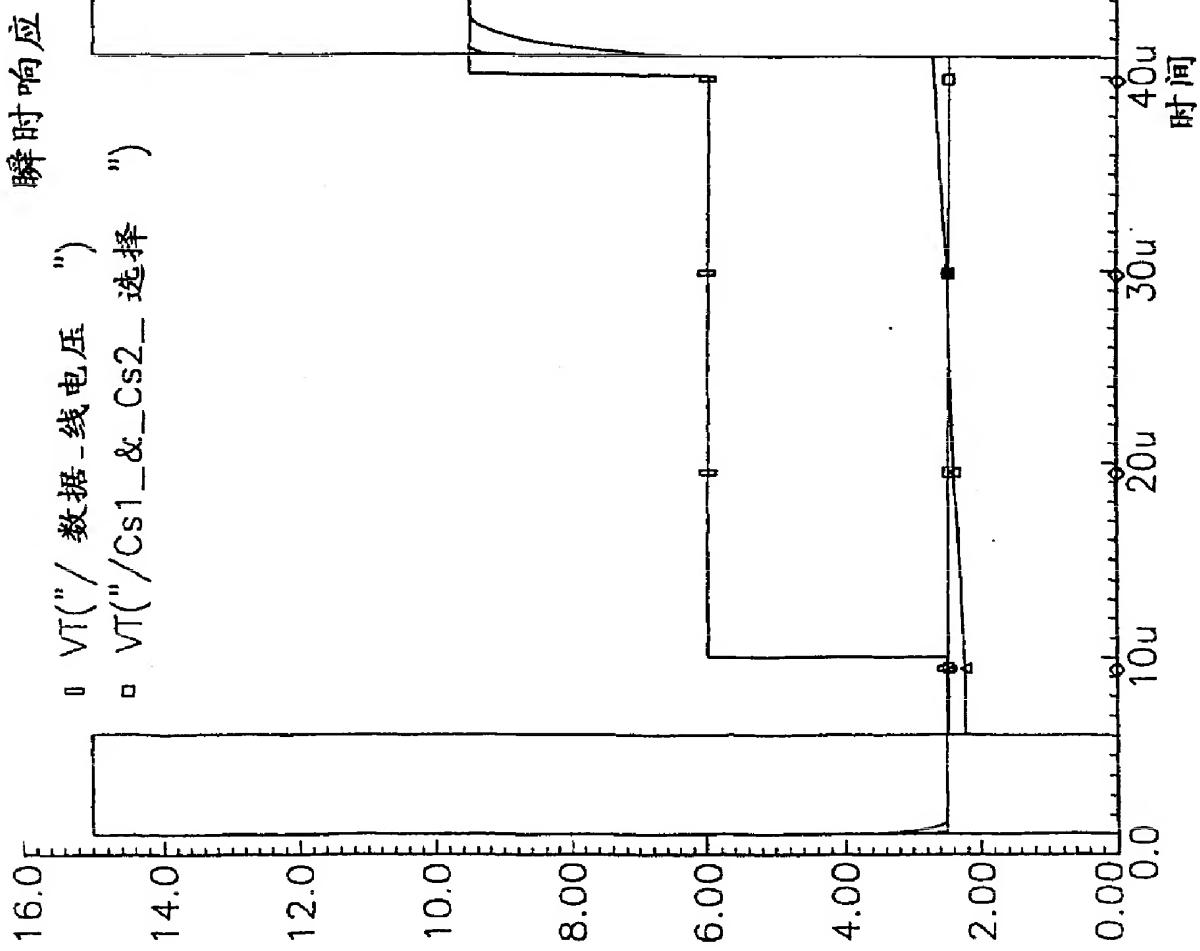


图 6



Cs1 + Cs2: 持慢充电,
但泄漏减少

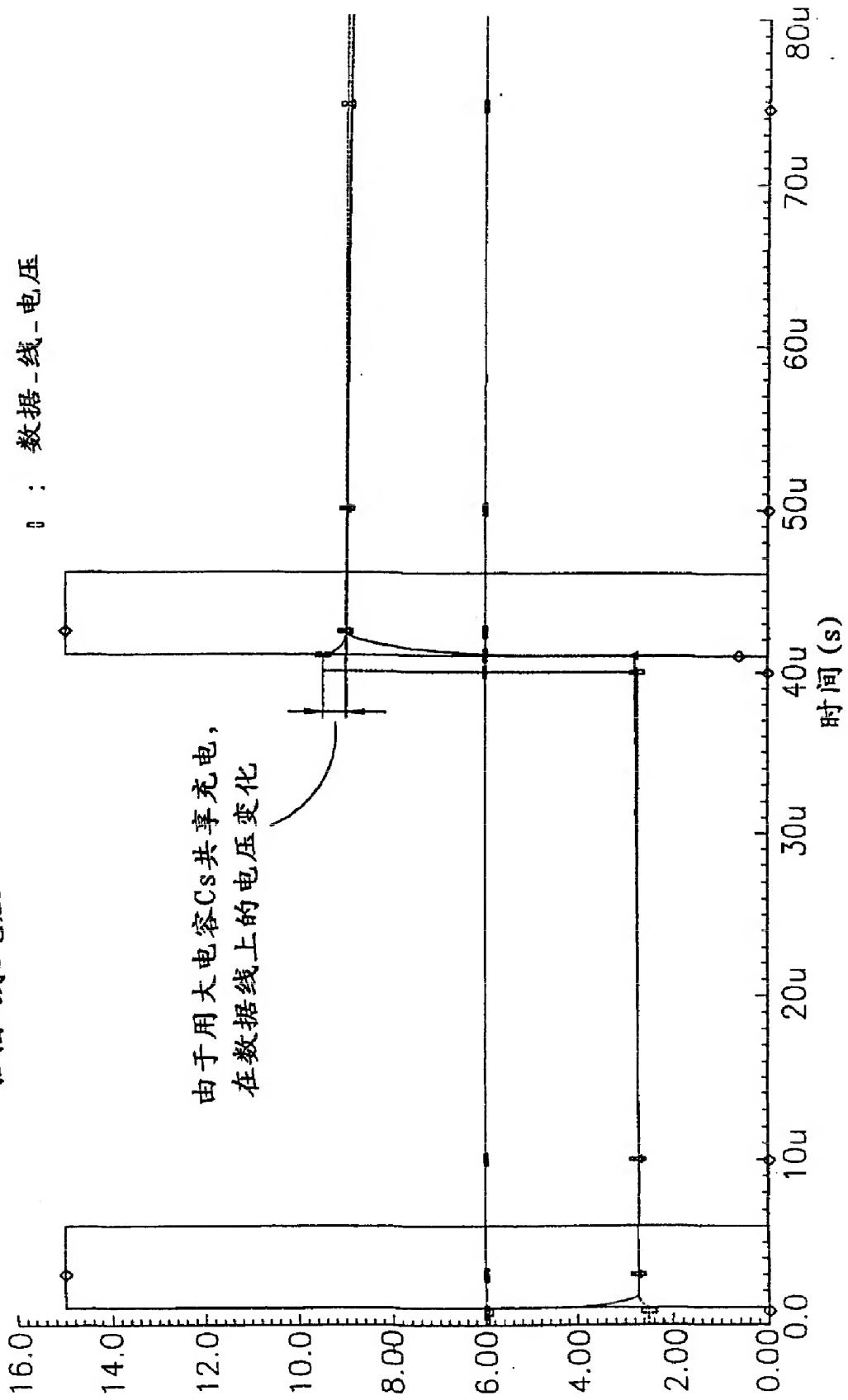
Cs1: 充电快, 但泄漏增加

图 7

瞬时响应

□：公共电极电压
◊：扫描-线-电压

▲：象素电极电压
(Cs1 + Cs2 selected)
□：数据-线-电压



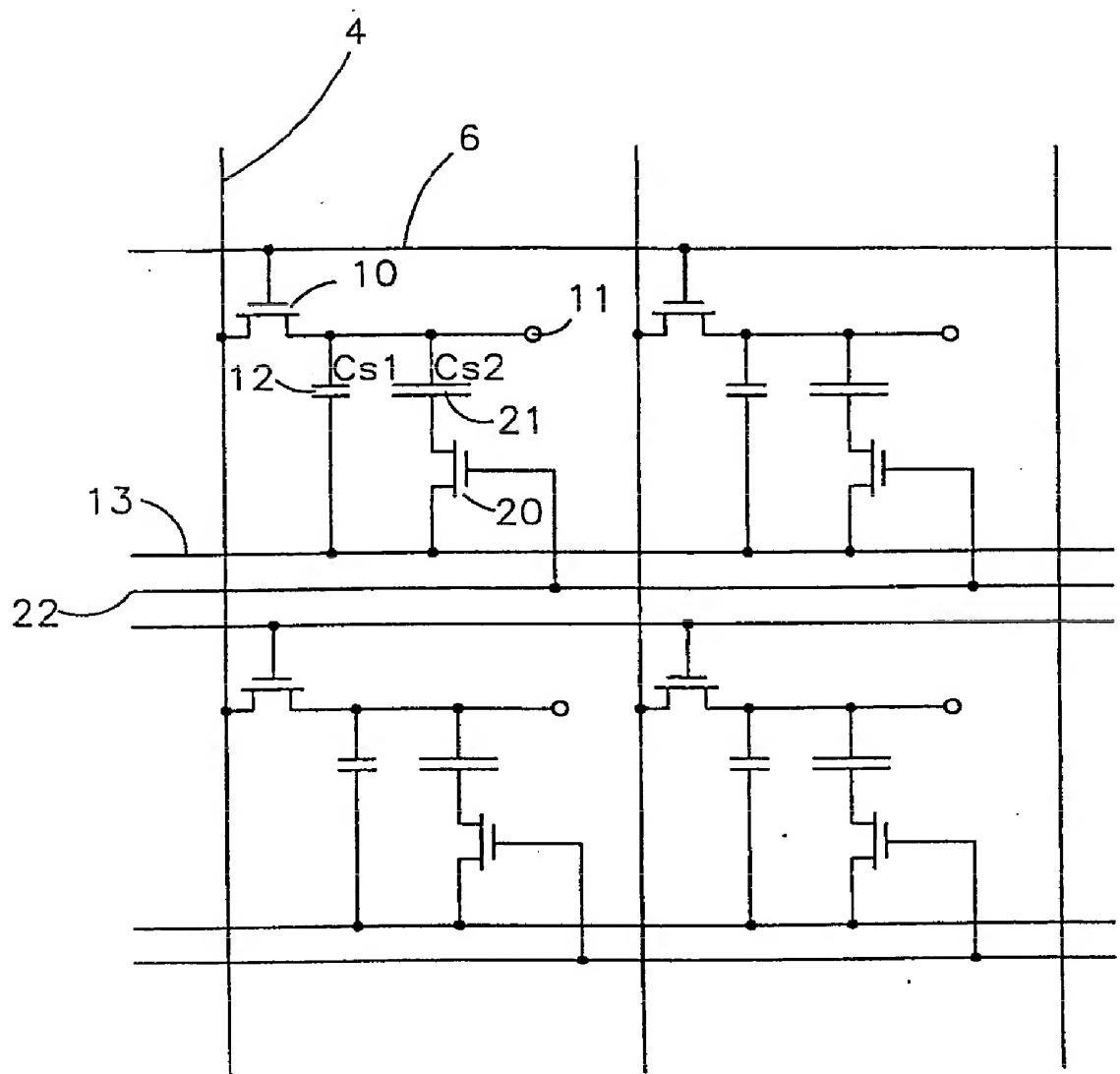


图 9

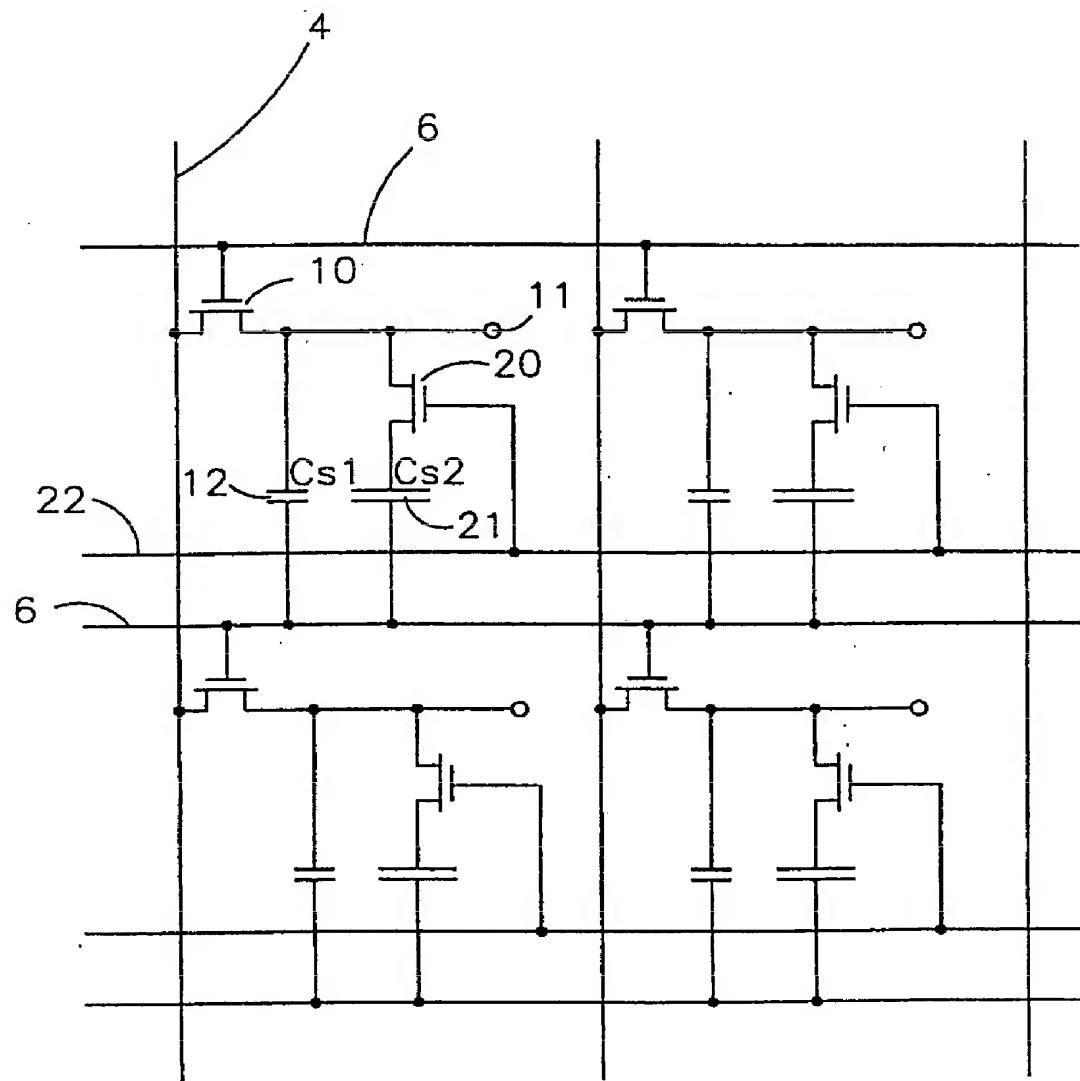


图 10

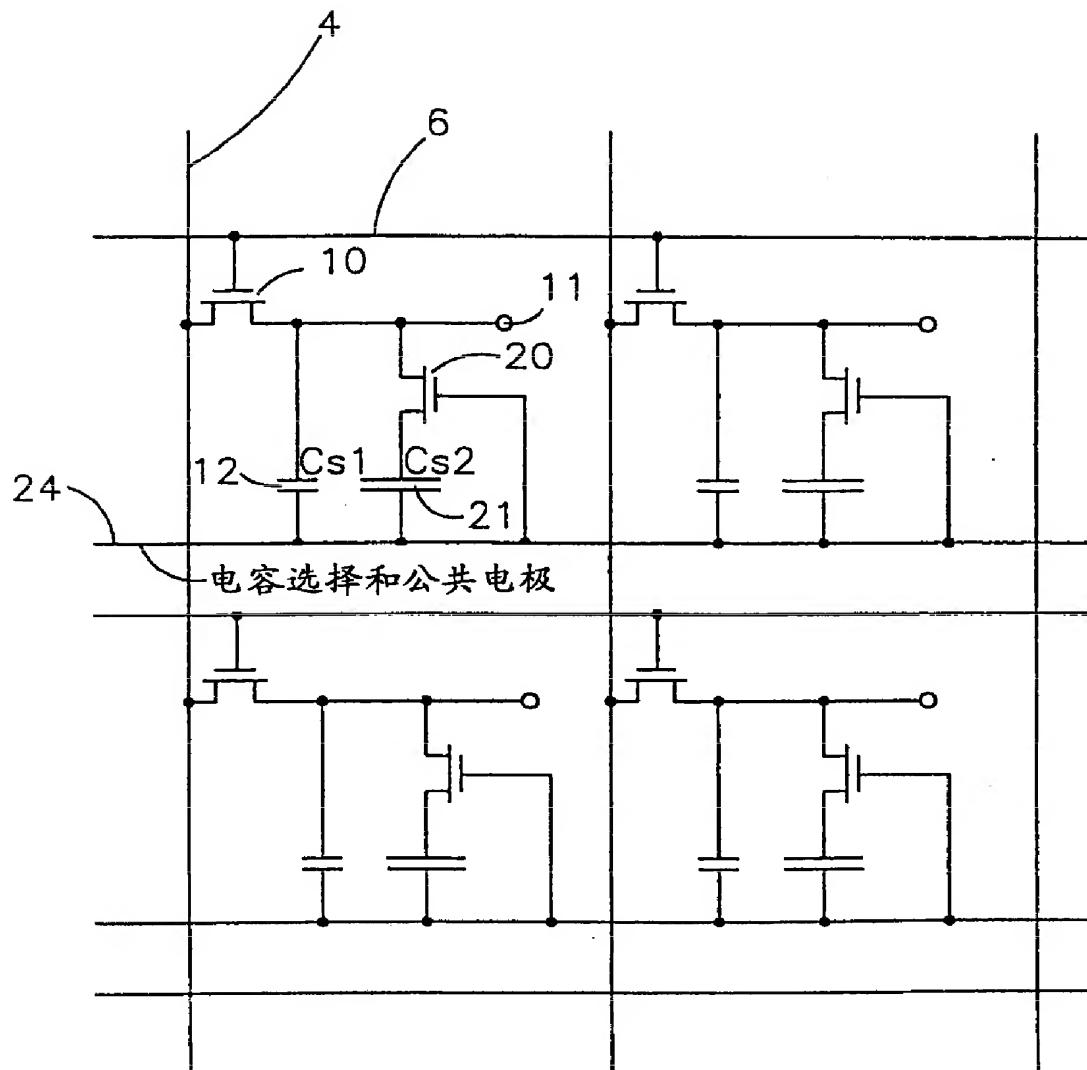


图 11

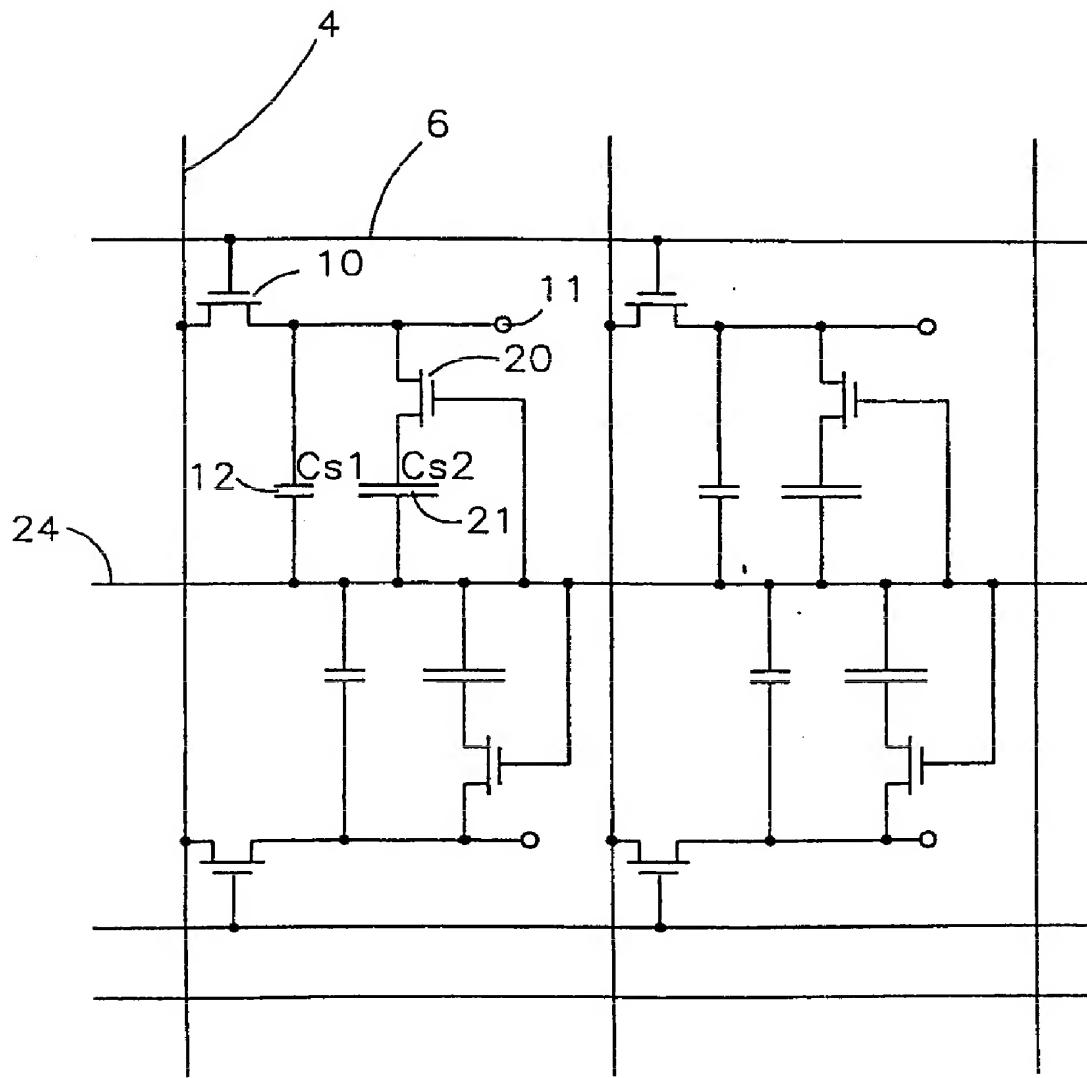


图 12

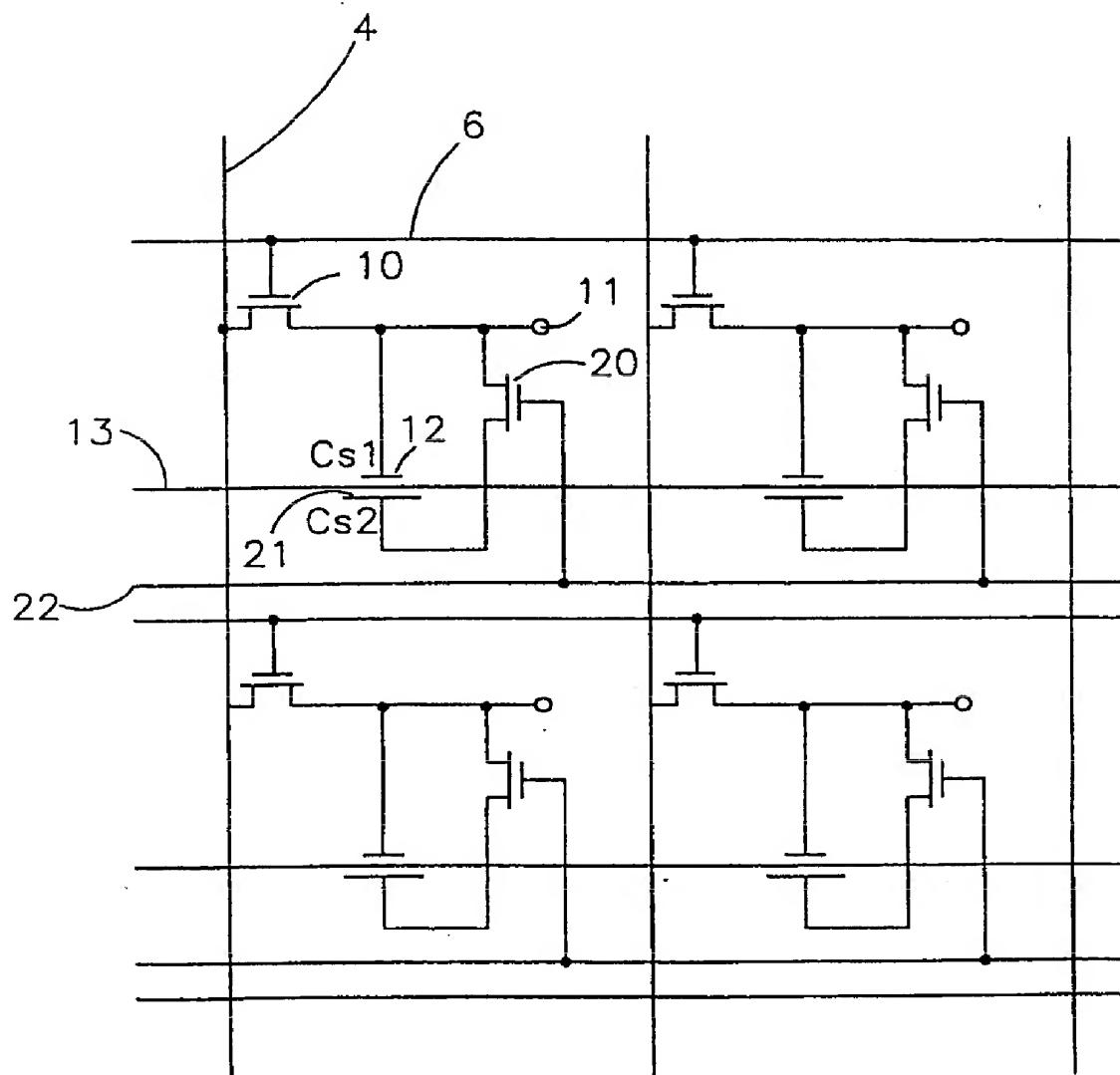


図 13

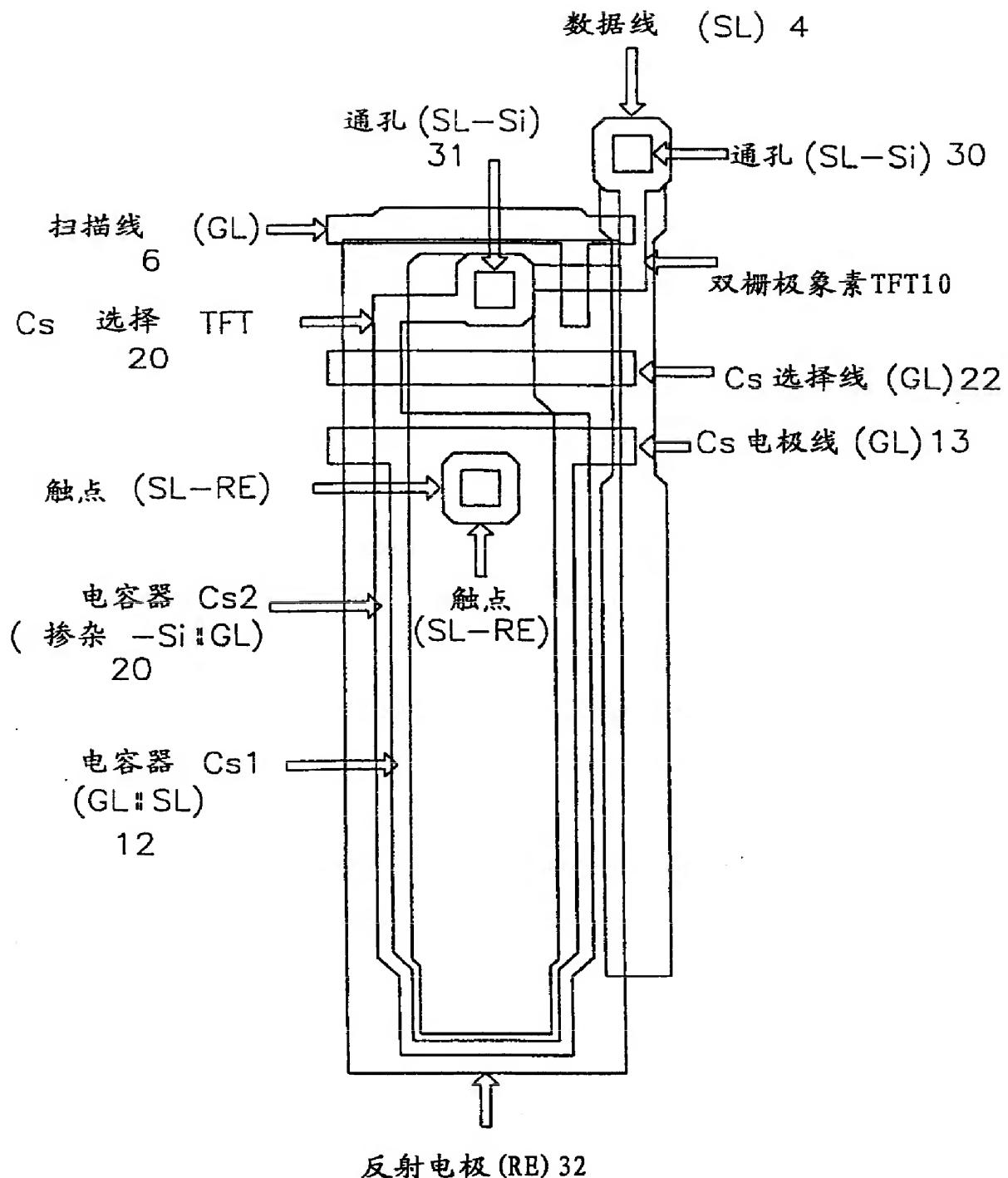


图 14

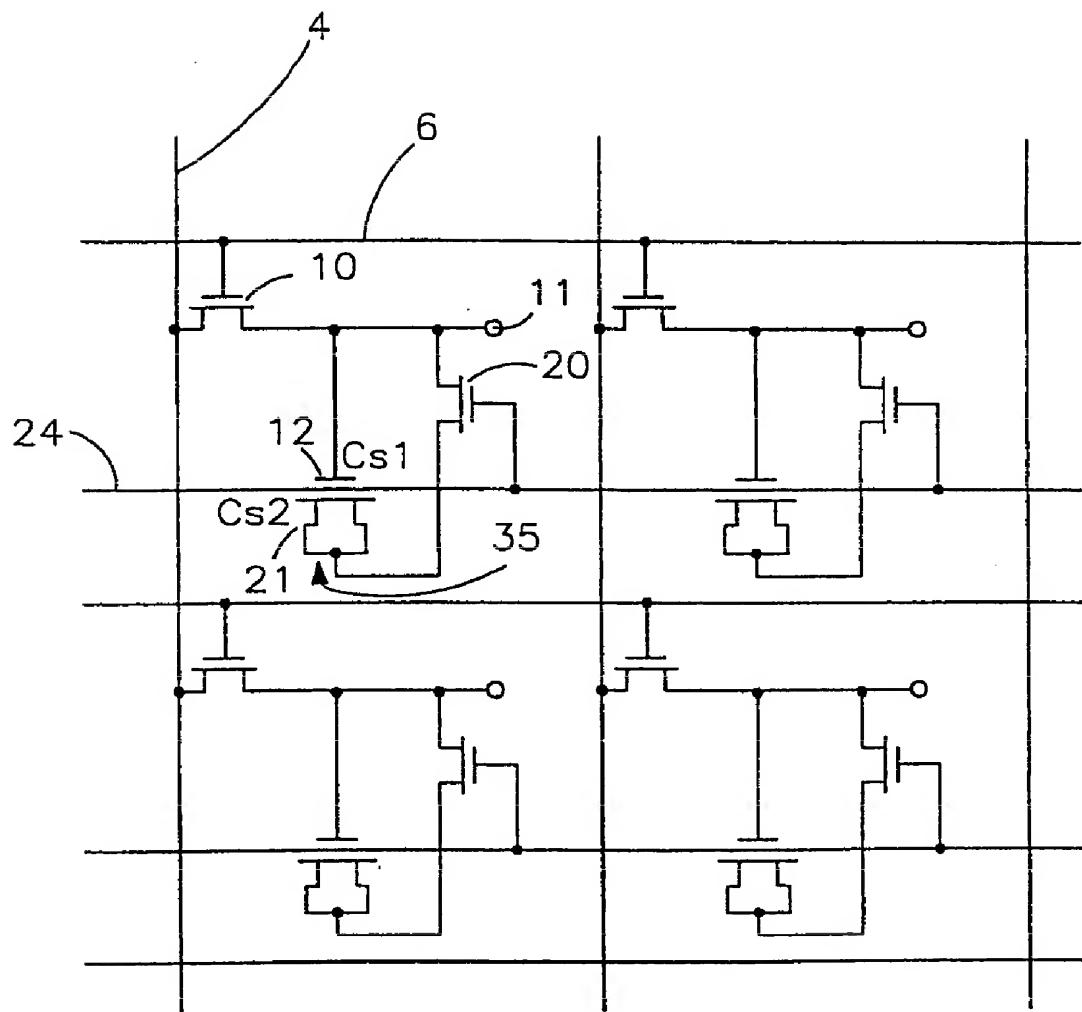


图 15

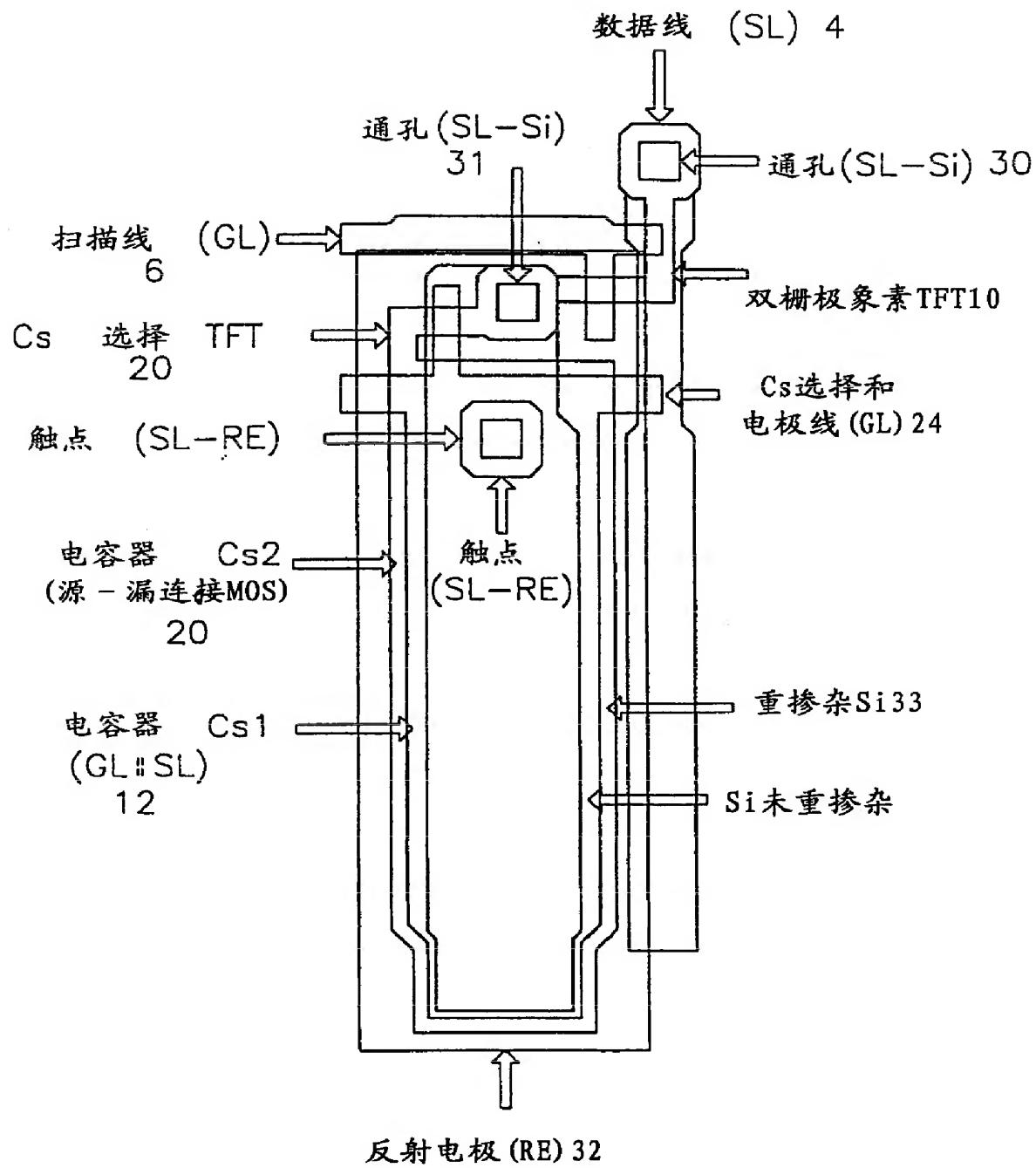
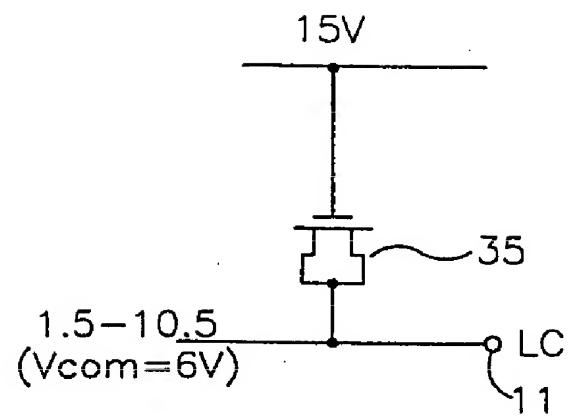
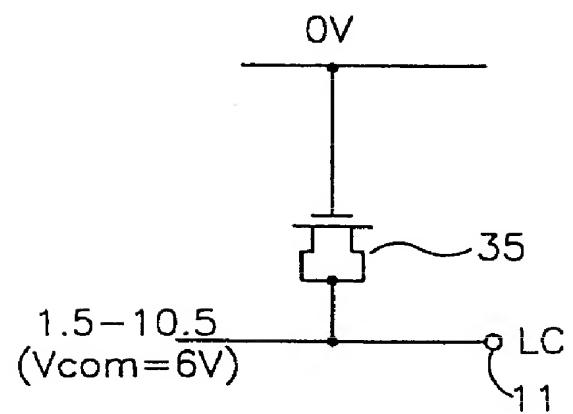


图 16



大电容状态:

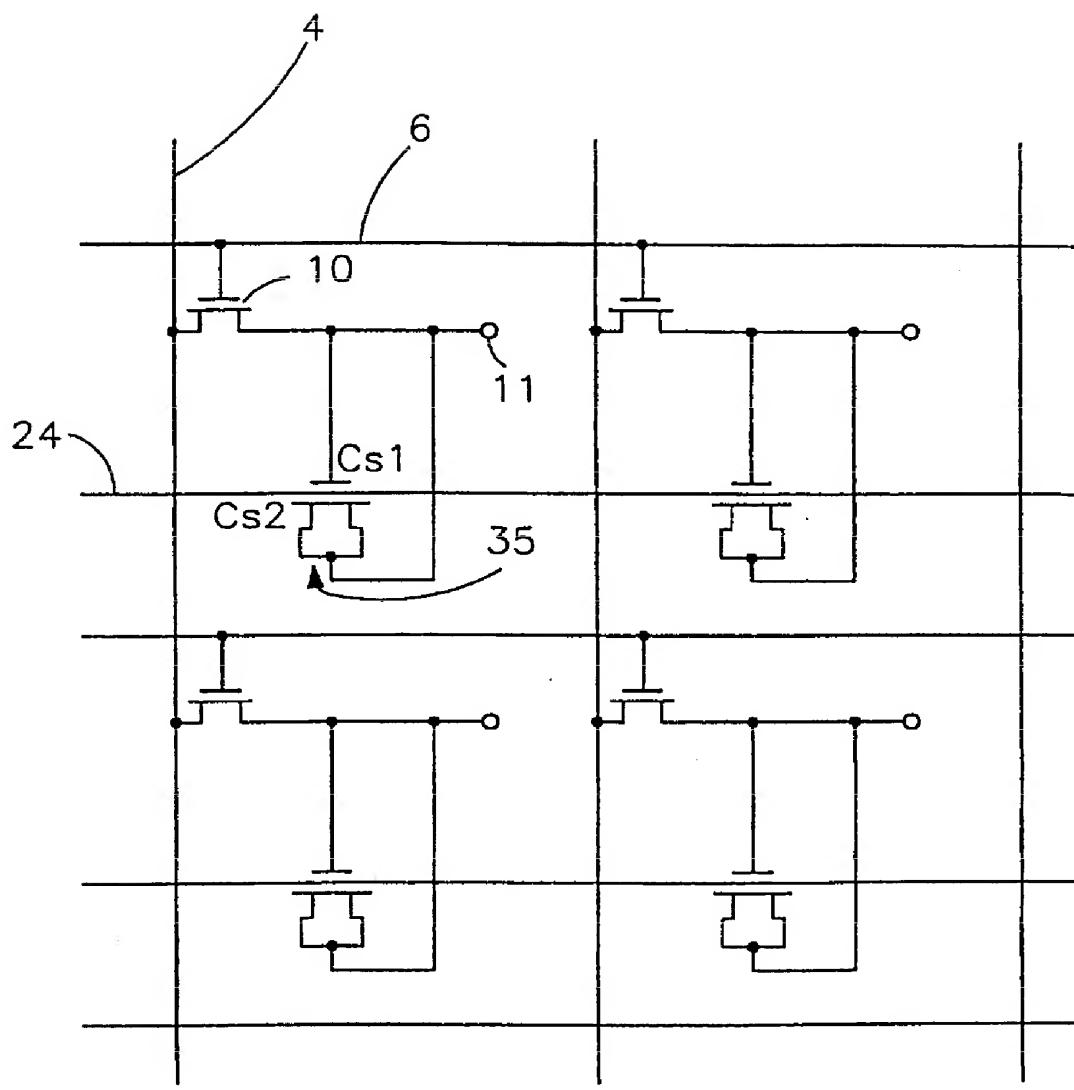
$$V_t < 4.5$$



小电容状态:

$$V_t > -1.5$$

图 17



図

18

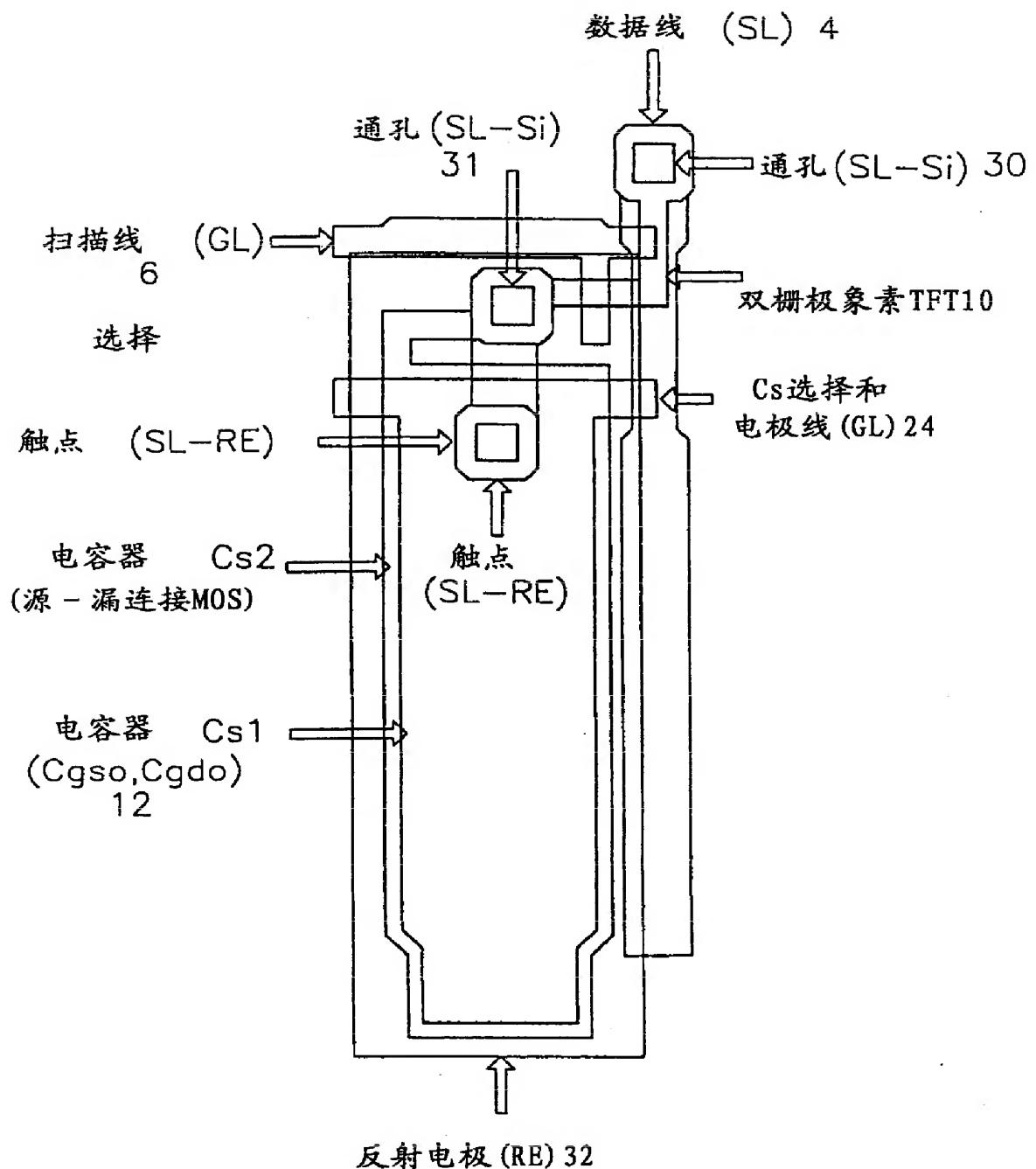


图 19

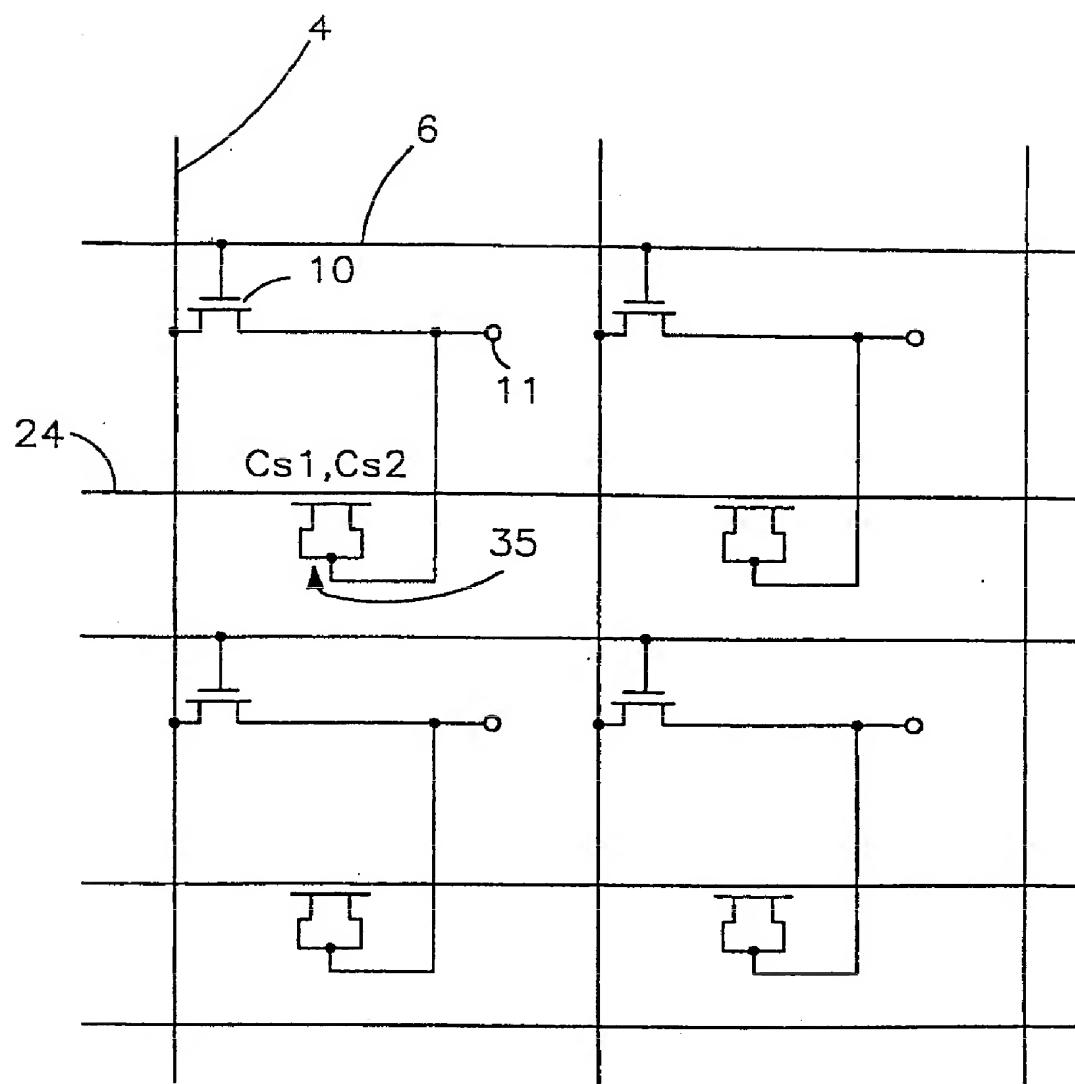


图 20